

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年11月9日 (09.11.2006)

PCT

(10) 国際公開番号
WO 2006/117860 A1

- (51) 国際特許分類:
H03K 19/0185 (2006.01) H03F 3/45 (2006.01)
- (21) 国際出願番号: PCT/JP2005/008151
- (22) 国際出願日: 2005年4月28日 (28.04.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): ザインエレクトロニクス株式会社 (THINE ELECTRONICS, INC.) [JP/JP]; 〒1030023 東京都中央区日本橋本町3-3-6 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 三浦 賢 (MIURA, Satoshi) [JP/JP]; 〒1030023 東京都中央区日本橋本町3-3-6 ザインエレクトロニクス株式会社内 Tokyo (JP). 岡村 淳一 (OKAMURA, Jun-ichi) [JP/JP]; 〒1030023 東京都中央区日本橋本町3-3-6 ザインエレクトロニクス株式会社内 Tokyo (JP). 小沢 誠

一 (OZAWA, Seiichi) [JP/JP]; 〒1030023 東京都中央区日本橋本町3-3-6 ザインエレクトロニクス株式会社内 Tokyo (JP).

(74) 代理人: 萩原 誠 (HAGIHARA, Makoto); 〒1050014 東京都港区芝二丁目1-33 第三渡邊ビル9階 Tokyo (JP).

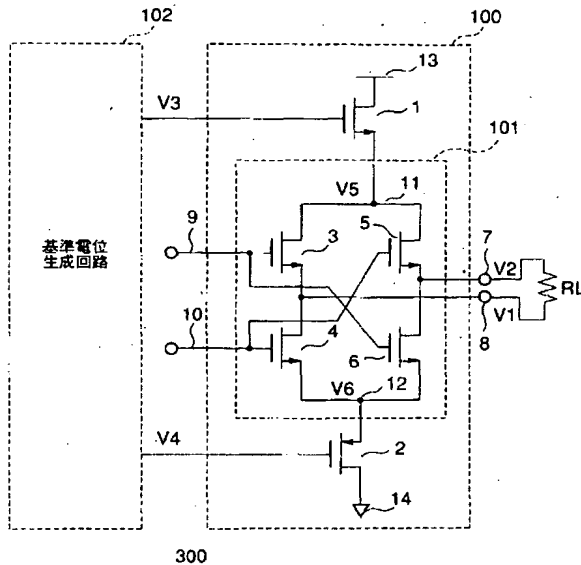
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

[続葉有]

(54) Title: DIFFERENTIAL DRIVING CIRCUIT AND ELECTRONIC DEVICE INCORPORATING THE SAME

(54) 発明の名称: 差動駆動回路およびそれを内蔵する電子機器



102- REFERENCE POTENTIAL GENERATING CIRCUIT

(57) Abstract: A differential driving circuit used for low voltage differential signals and an electronic device incorporating the same are provided wherein no differential amplifiers are used or the number of differential amplifiers are reduced, thereby reducing the circuit area and the current consumption and further solving the problem of oscillation caused by noise, while a high driving performance is achieved. There are included a switch circuit, an output circuit and a reference potential generating circuit. The switch circuit, which comprises MOS transistors, receives differential signals and outputs current signals. The output circuit comprises an NMOS transistor, an end of which is connected to the power supply potential of a higher potential side, the other end of which is connected to a node of the switch circuit and which acts as a source follower, and a PMOS transistor, an end of which is connected to the power supply potential of a lower potential side, the other end of which is connected to the other node of the switch circuit and which acts as a source follower. The reference potential generating circuit supplies reference potentials to the respective gates of the PMOS and NMOS transistors. The reference potential generating circuit includes a potential varying means that varies the differential potentials with an offset potential kept constant. Further, there is included an emphasis circuit for the output circuit.

(57) 要約: 差動増幅器を無くすかあるいは数を減らして、回路面積や消費電流を減らし、ノイズによる発振の問題を解決すると共に、高い駆動能力をもつ低電圧差動信号用差動駆動回路およびそれを内蔵する電子機器

[続葉有]

WO 2006/117860 A1



BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

器を提供する。差動信号が入力され電流信号を出力するMOSトランジスタからなるスイッチ回路と、一方が高電位側の電源電位に接続され、他方がスイッチ回路の一方のノードに接続され、ソースフォロフとして動作するNMOSトランジスタと、一方が低電位側の電源電位に接続され、他方がスイッチ回路の他方のノードに接続され、ソースフォロフとして動作するPMOSトランジスタとから構成される出力回路と、PMOSトランジスタとNMOSトランジスタのそれぞれのゲートに基準電位を供給する基準電位生成回路とを備え、基準電位生成回路は、オフセット電位一定で差動電位を可変してなる電位可変手段を備えて成る。さらに出力回路のエンファシス回路を備えて成る。